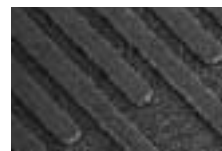


半導体パッケージ用配線板

Package Substrate

特長 Features

- 当社独自のセミアディティブ工法により、ライン/スペース=25/25 μ mを実現します。
Line/Space=25/25 μ m is possible by the semi-additive method.
- t0.06mmコア基材使用により薄型化に対応致します。(トータル板厚: t0.4mm/6層)
Capable for thin board with t0.06mm core material.
- 無電解金めっき採用により、リード線が不要となるため高密度設計が可能です。
Higher density design possible due to no plating lead by using electroless gold plating.
- 高剛性、低誘電、高耐熱、ハロゲンフリーなどの基材の選択が可能です。
The selection of base material such as high elastic modulus, low Dk, high heat resistance and halogen-free are available.

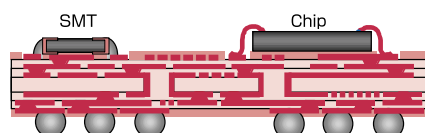


表面
Surface View



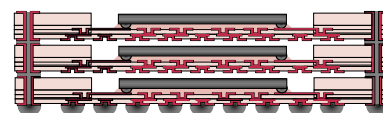
断面写真
Cross Section Photo

パッケージ基板の構造例 Structure



項目 Item	単位 Unit	仕様 Specification
基材 Material	-	MCL-E-679F
ソルダーレジスト Solder resist	-	PSR4000AUS308
層数 Number of layer	層 Layer	6 (2-2-2)
総板厚 Total board thickness	mm	0.40
レーザービア径 Lazer via dia.	mm	ϕ 0.08
最小ライン/スペース Min. line/space	μ m	25/25
端子/ラインピッチ Terminal line pitch	μ m	90
端子トップ幅 Terminal top width	μ m	<60

3段スタック(例) 3-stacked (Example)



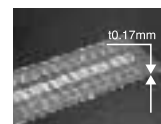
項目 Item	単位 Unit	仕様 Specification
基材 Material	-	MCL-E-679, MCL-E-679F
キャビティサイズ Cavity size	mm	\square 9.5
キャビティ深さ Cavity depth	mm	<0.45
総板厚 Total board thickness	mm	0.65
レーザービア径 Lazer via dia.	mm	ϕ 0.1
最小ライン/スペース Min. line/space	μ m	25/25
端子/ラインピッチ Terminal line pitch	μ m	85
端子トップ幅 Terminal top width	μ m	<55

極薄ビルドアップ基板

Ultra Thin Build up Board

特長 Features

- 板厚0.04mm基材を用いる事で4層で0.17mmの極薄を実現します。
Realizes t0.17mm board thickness at 4-layer by using t0.04mm base materials.
- 第1層目は配線表面の平坦化及びVia on Pad構造が容易です。
The first layer is flat surface, and it is possible to make via on pad structure.
- フィールドビア上のスタックビア構造が可能です。
Producing stacked via on filled via is available.



4層基板
4-Layer Board



断面写真
Cross Section Photo

用途 Applications

フリップチップBGA

Flip chip BGA

マルチチップモジュール/システムインパッケージ (SiP) / パッケージオンパッケージ (PoP)

Multi chip module / System in Package / Package on Package